

VLSI 电源网络近似电路模型研究

刘泽响, 沈绪榜, 贺占庄

(西安微电子技术研究所, 陕西 西安 710054)

摘 要: 针对基于底层规划的电源网络分析、优化需求, 提出了一种电源网络近似电路模型. 根据电源网络结构特点, 对其进行层次划分, 并充分考虑标准单元吸纳电流的统计分布特性, 建立各组成元件的电路模型. 在此基础上, 利用诺顿等效原理对其进行简化. 实验表明, 基于近似电路模型的电源网络分析结果比悲观分析要小 38.75% (最差电压降) 和 36.04% (中心节点电压降), 分析结果更为可信.

关键词: VLSI 电源网络; 电路模型; 统计特性; 分段线性时变电流源

中图分类号: TP391.7

文献标识码: A

文章编号: 1000-7180(2010)01-0017-05

An Approximate Circuit Model of VLSI Power Networks

LIU Ze-xiang, SHEN Xu-bang, HE Zhan-zhuang

(Xi'an Microelectronics Technology Institute, Xi'an 710054, China)

Abstract: According to the requirement of floorplan-based analysis and optimization of power networks, an approximate circuit model of VLSI power networks was presented in this paper. Power networks were divided into two levels in response to their structural features, and then circuit models of their components were built considering statistic character of drain currents distribution of standard cells and reduced with Norton equivalent circuits. Experimental results show that analysis result of the proposed model is less than that of pessimistic analysis, which is 38.75% (the worst voltage drop) and 36.04% (voltage drop of center node) respectively.

Key words: VLSI power networks; circuit model; statistic characteristic; piecewise linear time varying current source

1 引言

随着半导体工艺水平的发展, 对电源地网络设计提出了更高的要求^[1]. 基于底层规划 (Floorplan) 的电源网络分析、优化有助于加速设计收敛, 而受到广泛关注. 电源地网络电路模型的建立则是分析、优化工作的前提与基础^[2].

由于电源网络和地网络结构对称, 故文中仅针对电源网络, 分析其结构和层次特性, 并对相关元件的电路模型展开深入研究, 提出了一种电源网络近似电路模型.

2 网络结构及层次划分

片上电源网络结构与芯片所采用的封装技术有关, 主要区别在于电源焊接点的位置, 如倒装法封装

和引线结合法封装, 前者焊接点位于晶圆内部, 如图 1(a)所示, 而后者焊接点位于晶圆四周, 如图 1(b)所示, 至于电源线的拓扑差别不大, 都是由分布在金属层上的宽金属线纵横交错, 将电源焊接点的输入电能输送给消耗电流的器件. 由于倒装法封装的芯片内部电源网络具有局部性特征, 即电路消耗电流主要来源于附近的电源焊接点, 而远处电源焊接点提供的电流很小, 以至于可以忽略不计. 由此可以看出, 图 1(a)虚线框中的四个电源焊接点及其内部电源网络可以看作是一个独立的子网络, 其具有图 1(b)所示的类型结构, 而后一种结构具有很好的典型性. 其主要由电源焊接点、电源环、电源主干线、电源带和电源轨组成. 对电源网络进行分析时, 需要综合考虑电源线路自身对电流传输的影响和耗能单元工作状态切换而导致的吸纳电流变化, 以及

去耦电容的影响等,故耗能单元和去耦电容也需要考虑到电源网络电路模型中^[3-4]。

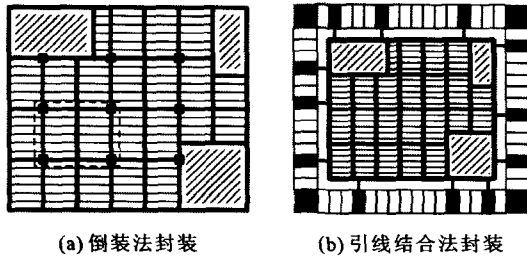


图1 片上电源网络结构示意图

片上电源网络分为全局和局部两个部分,前者主要包括电源焊接点(为了简化起见,假定电源焊接点理想,即不考虑其物理参数对电源网络的影响)、电源环、电源主干线和电源带,其构成了电源输送通道的主干线,完成从外部电源输入将电能分发到各局部电源网络的任务;后者主要包括电源轨、耗能单元和去耦电容,耗能单元通过电源轨从全局电源网络吸纳电流、消耗电能.由于全局电源网络主要分布在较高的金属层上,而局部电源网络主要分布在较低金属层上,层间金属线通过过孔互连(为了简化起见,假定过孔理想),故根据电源网络结构以及分布特点,将其划分为高、低两个层次,分别对应于电源网络的全局和局部两个部分。

3 电路模型

电源网络中的元件主要有电源线段、标准单元、硬核模块和去耦电容四类,本节将分别建立上述元件的电路模型。

3.1 电源线段电路模型

互连线的建模方式可以有多种,如 RC 模型、RLC 模型以及传输线模型等,其中,RC 和 RLC 模型又可以分为集总和分布式两种,至于选择何种模型,主要取决于对计算精度的要求,以及所能承受的计算复杂度.由于电感因素对电路的影响不仅与 L 有关,还与电流的变化率有关,所以并不是所有的互连线都需要用考虑电感的 RLC 模型来建模的.有研究表明^[5],在电源地交错布置的网络中,电源网络的电感与线长成正比、与线密度(单位面积内电源线数目)成反比。

在高层电源网络中,电源线段长度较大,同时,电源线之间以及电源、地线间的距离也比较大,故在工作频率较高的先进半导体工艺下,电源线的电感效应不能忽略.为此,将高层电源线段建模为集总 RLC 模型,线段电阻为高层电源线的表面电阻 R_H .

$$R_H = \rho_H \frac{l_H}{w_H} \quad (1)$$

式中, ρ_H 为高层电源线表面电阻率, l_H 为高层电源线长度, w_H 为高层电源线宽度。

线段电感为高层电源线表面电感 L_{PN} ,

$$L_{PN} = L_H \cdot \frac{l_H}{p_H \cdot n_H} \quad (2)$$

$$L_H = 0.8 p_H \cdot \left(\ln \frac{p_H}{t_H + w_H} + \frac{3}{2} \right) \quad (3)$$

式中, L_H 为高层电源线表面电感率(单位为 $\mu H/\square$), p_H 为高层电源线间距, n_H 为高层电源线对数, t_H 为高层电源线高度。

线段电容 C_H 包括高层电源线平板电容、边缘线电容和线间耦合电容^[5],

$$C_H = \alpha_H l_H w_H + \beta_H l_H + \gamma_H l_H \quad (4)$$

式中, α_H 为高层电源线单位面积平板电容, β_H 为高层电源线单位长度线电容, γ_H 为高层电源线单位长度耦合电容。

而对于低层电源网络,其线段长度和间距都很小,分布密度很高;同时,电源和地线之间会通过标准单元形成电流环路,其路径非常短,由式(2)和式(3)可以得出,电感效应作用有限.为此,将低层电源网络线段建模为集总 RC 模型,线段电阻和线段电容计算公式与高层电源网络线段类似。

3.2 标准单元电路模型

标准单元由多个晶体管组成,吸纳电流特性要比独立元件(如电阻、电容和电感)复杂,其不仅与输入状态有关,还与输出负载大小相关.可以通过改变单元输入状态和输出负载的大小,对其吸纳电流特性进行模拟仿真分析.然而,一般在电路分析中,为了降低分析复杂度,对其电路模型进行简化,通过将其建立为独立元件来近似模拟其特性,如固定电流源、电导(电阻)、压控电流源和时变电流源。

固定电流源模型假定其不同的工作状态和供电电压下吸纳电流不变,并不能反映电路的实际情况.等效电导模型^[6],充分考虑了供电电压对吸纳电流的影响,却忽略了单元不同工作状态下的吸纳电流差异.压控电流源模型的电流值是受电压控制的,其原理和电导模型近似.时变电阻模型^[7]的电阻值为时间的函数,在不同的时刻反映的电流、电压关系不尽相同,这样在一定程度上考虑了电压对电流的影响,同时也模拟了单元工作状态的变化,但要抽象出电阻值与时间的函数,还是具有较大难度的。

在此基础上,时变电流源模型应运而生,将标准

单元建模为电流源,其电流值是时间的函数,函数的确定则是通过改变输入、输出状态以及供电电压波动,经过仿真得到吸纳电流波形,如图 2(a) 所示。

图中, $I_{TVCS}(t)$ 为吸纳电流关于时间 t 的函数, I_{peak} 为峰值电流, I_{avg} 为平均电流, T_{cycle} 为吸纳电流的周期。可以看出其不仅考虑了工作状态的变化,还考虑了供电电压变化对吸纳电流的影响,模型精度得以提高。

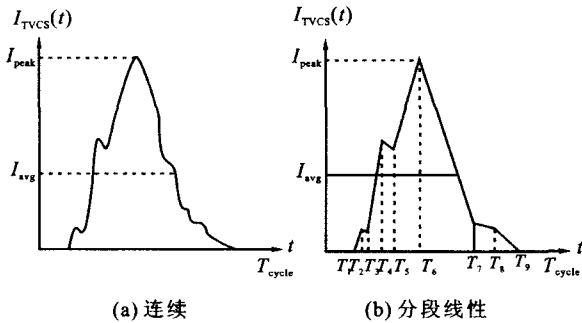


图2 标准单元吸纳电流波形示意图

但对于该连续模型的数学描述是比较复杂的,为此,采用一种分段线性的方法对连续波进行处理,如图 2(b) 所示,其中时刻 $T_1, T_2, \dots, T_9$ 为时间段边界点,可以看出,在各个小的时间段里,电流波形都可以表示为一个线性函数,其数学描述要比连续波形简单,同时,由于采用分段线性近似,各段的边界点都是连续波形的拐点,总体上电流轮廓保持一致,使得在降低模型复杂度的同时保证了模型精度。

类型各异的标准单元吸纳电流特性不同,虽然可以用一个典型的单元近似替代,但同一时刻的工作状态也是不一样的。对于一个完整的芯片设计来说,其内部的标准单元数目较多,如果把这些标准单元都建模为上述分段线性时变电流源的话,在某一时刻其吸纳电流值是相同的,这与实际不符,一般来说,在一个 VLSI 设计中只有 10% ~ 20% 的标准单元同时翻转,另外 80% ~ 90% 的标准单元处于稳态,而且处于翻转状态的标准单元的前级驱动能力与下级负载大小也是不一样的,即不同的标准单元其工作状态和供电电压情况都不可能一致;各种工作状态的标准单元在芯片中的分布也是分散的。

为此,对上述模型进行改进,假定标准单元在芯片内均匀分布,并建立新的分段线性时变电流源模型 $I_{TVCS}(T_{env})$,其中 T_{env} 为时间轴上的某一时刻,代表了一种确定的工作环境,但其值并不是仿真过程中不断向前推移的狭义时间轴,而是 $0 \sim T_{cycle}$ 范围内的一个随机数,如下式所示:

$$T_{env} = \text{random}(0, T_{cycle}) \quad (5)$$

式中, $\text{random}()$ 为均匀分布的随机函数。可以看出,所有标准单元的吸纳电流波形 $I_{TVCS}(T_{env})$ 是相同的,但 T_{env} 并不相同,从而体现了同一仿真时刻下不同标准单元的工作环境差异。

3.3 硬核模块电路模型

硬核模块是版图已完成的模块设计,在芯片设计中作为定制 IP 模块直接使用,其具有自己独立的电源环,通过数目不等的几个连接点与芯片电源网络连接。可以将其看作是规模较大的“标准单元”(与标准单元类似的性质,如完成一定的电路功能、吸收不同程度的电流),所以其电路模型的建立可以采取标准单元电路模型建立的类似方法。

一般情况下,硬核模块内部容纳一定数量的类似标准单元的小单元电路,这些小单元电路独立特性与标准单元类似,即吸纳电流波形具有图 2(a) 所示的类似正态分布,但某一时刻下它们的吸纳电流之和是趋于稳定的,即总吸纳电流波形较为平缓,从模块外部来看,电流变化不明显,如图 3 所示,其中,细虚线为独立小单元吸纳电流波形示意图,粗实线为模块总吸纳电流波形示意图。可以看出,独立小单元数量越多硬核模块的吸纳电流波形越平缓,模块具有近似直流特性,所以固定电流源模型更为适用、简单。

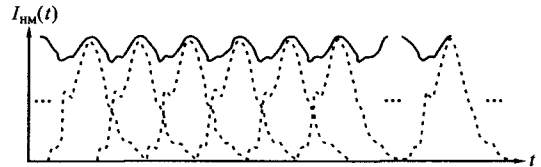


图3 硬核模块吸纳电流波形示意图

可以用峰值电流或平均电流对硬核模块进行建模,如需要考虑电路的极端情况时,一般应用前者,否则的话应用后者;由于文中主要研究电路正常工作时的状态,故选择后者,将其建模为一定数量(硬核模块内部电源环与芯片电源网络连接点个数)的固定电流源。通过对硬核模块电路的仿真,计算其平均功耗,在假定供电电压理想的情况下,算得固定电流源数值如下:

$$I_{HMCCS} = \frac{P_{HMavg}}{V_{dd} \cdot \text{num}_s} \quad (6)$$

式中, P_{HMavg} 为硬核模块的平均功耗, V_{dd} 为理想供电电压, num_s 为固定电流源个数。

3.4 去耦电容电路模型

随着半导体工艺水平的提高,当电源线的电感

分量不能忽略且电流变化率较高时,将产生 ΔI 噪声.为此,通过在标准单元附近插入去耦电容来降低噪声.去耦电容可以分为固有去耦电容和外加去耦电容两种类型,前者包括阱电容和器件电容,后者为薄氧化层电容^[5],如下式所示.

$$C_{\text{decap}} = C_w + C_d + C_{\text{ox}} \quad (7)$$

$$C_d = \frac{P}{f \cdot V^2} \cdot \frac{1 - p_{\text{sw}}}{p_{\text{sw}}} \quad (8)$$

式中, C_{decap} 为单元相关的总去耦电容, C_w 为阱电容, C_d 为模块电路的器件电容, C_{ox} 为薄氧化层电容, P 为单元功耗, V 为供电电压, f 为工作频率, p_{sw} 为信号翻转因子.

去耦电容的插入会带来芯片面积增大以及噪声耦合等问题.还涉及电容位置以及大小的确定优化工作,这都与芯片的具体布局及电路工作状态相关,而在设计早期阶段这些状态都还没有确定,只能采取近似预估的方法.为此,假定每个标准单元都连接一个去耦电容,并将去耦电容近似建模为等效面电容.

$$C_{\text{eqD}} = \alpha \cdot S_{\text{decap}} \quad (9)$$

式中, C_{eqD} 为近似等效去耦电容, α 为等效单位面积电容(与低层电源网络线段模型中参数 α_L 一致), S_{decap} 为去耦电容面积(近似为典型标准单元面积).

4 模型简化

综上所述,电源网络电路模型主要由电阻、电容、电感和电流源构成.由于电容和电感的时域电流—电压特性较为复杂,利用后退欧拉法对其进行简化^[8],分别如式(10)和式(12)所示.

$$I_C(t) = \frac{1}{R_{\text{eqC}}} \cdot V_C(t) + I_{\text{eqC}} \quad (10)$$

$$R_{\text{eqC}} = \frac{h}{C}, I_{\text{eqC}} = -\frac{C}{h} \cdot V_C(t-h) \quad (11)$$

式中, $I_C(t)$ 为当前时刻 t 电容支路电流, $V_C(t)$ 电容两端电压, R_{eqC} 为电容等效电阻, I_{eqC} 为电容等效电流源, h 为时间步长, $V_C(t-h)$ 为上一时刻 $(t-h)$ 电容两端电压.由于在当前时刻 t 下 I_{eqC} 的值为已知,故可以得到电容 C 的诺顿等效电路(R_{eqC} 与 I_{eqC} 并联).

$$I_L(t) = \frac{1}{R_{\text{eqL}}} \cdot V_L(t) + I_{\text{eqL}} \quad (12)$$

$$R_{\text{eqL}} = \frac{L}{h}, I_{\text{eqL}} = I_L(t-h) \quad (13)$$

式中, $I_L(t)$ 为当前时刻 t 流过电感的电流, $V_L(t)$ 为电感两端电压, R_{eqL} 为电感等效电阻, I_{eqL} 为电感等效电流源, $I_L(t-h)$ 为上一时刻 $(t-h)$ 流过电

感的电流.由于在当前时刻 t 下 I_{eqL} 的值为已知,故可以得到电感 L 的诺顿等效电路(R_{eqL} 与 I_{eqL} 并联).

将电容和电感的诺顿等效电路分别代入高、低层电源网络线段模型中,得到相应的简化电路模型,分别如图 4(a)、图 4(b) 所示,

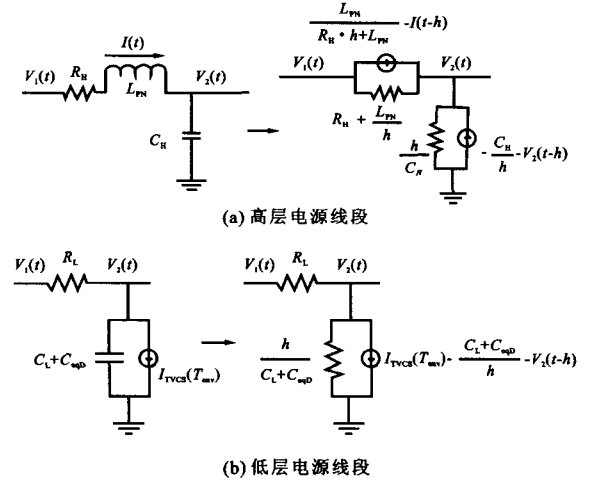


图 4 电源网络简化电路模型

可以看出,简化后的电源网络电路模型仅包括两种元件:电阻和电流源,从而大大降低了电源网络的复杂度.

5 实验结果与分析

利用 130nm CMOS 逻辑工艺相关物理参数,针对较为常用的悲观分析(根据峰值电流,将标准单元建模为固定电流源 CCS)和文中提出的考虑单元工作环境(根据标准单元分布的统计特性,将其建模为分段线性时变电流源 TVCS)的两种电源网络电路模型,进行对比实验.对 13 种不同尺寸的电源网络(最小的网格为 2×2 ,即 4 个小格,每个小格里有 10 条水平向的电源轨,每个电源轨上均匀分布 100 个典型标准单元 NAND21;最大的网格为 14×14 ;编号越大电源网络尺寸越大)进行分析,分别计算电源网络内部节点最差电压降和中心节点电压降,结果分别如图 5(a)和图 5(b)所示,对于最差电压降,基于固定电流源的分析结果要比基于时变电流源的分析结果电压波动大 38.75% (相对于理想供电电压);对于中心节点电压降,前者要比后者电压波动大 36.04% (相对于理想供电电压).

可以看出,由于基于固定电流源的分析假定芯片内所有单元同时吸纳最大电流,从而做出了较为保守的估计;而本文的电源网络近似电路模型,在假

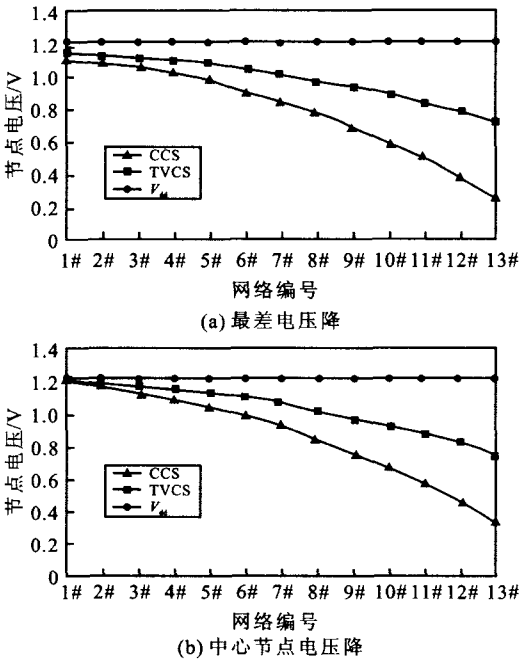


图 5 电路模型实验

定其位置均匀分布的基础上,利用随机函数并结合分段线性时变电流源模型,模拟单元的吸纳电流情况在芯片内的分布,更加符合电路的实际情况.

6 结束语

电源网络近似电路模型的研究对于早期 VLSI 电源网络分析和优化具有重要意义.文中提出的电源网络近似电路模型,根据电源网络结构特点,将其划分为高低两个层次,并分别将高低层电源线段建模为集总 RLC、RC 模型;考虑到标准单元吸纳电流的统计分布特性,将其建模为改进的分段线性时变电流源;将硬核模块建模为一定数量的固定电流源;并将去耦电容近似为等效面电容.实验结果表明,电源网络近似电路模型,由于能较好的模拟单元的吸

纳电流情况在芯片内的统计性分布,符合电路的实际情况,分析结果比悲观分析更为可信.

参考文献:

[1] 时昕,王东辉,侯朝焕. 深亚微米 SoC 中的电源/地网络设计[J]. 微电子学与计算机, 2004, 21(12): 198 – 202.

[2] 马琪,张永伟,叶福军. 基于等效电路模型的 Mesh 结构 P/G 网布线优化方法[J]. 微电子学与计算机, 2005, 22(1):170 – 173.

[3] 何剑春. ULSI 片内互连线寄生参数提取及应用[D]. 浙江:浙江大学, 2002.

[4] Mezhiba A V, Friedman E Q. Inductive characteristics of power distribution grids in high speed integrated circuits [C]// ISQED'02. San Jose, CA, 2002: 316 – 321.

[5] 蔡懿慈. 极大规模集成电路全局互连线设计与优化算法研究[D]. 北京:中国科学技术大学, 2007.

[6] Dong – Soo Cho, Kyung – Ho Lee, Gi – Jeong Jang, et al. Efficient modeling techniques for IR drop analysis in ASIC designs [C]//Twelfth Annual IEEE International ASIC/ SOC Conference. Arlington, VA, 1999:64 – 68.

[7] Shen Lin, Chang N. Challenges in power – ground integrity[C]// ICCAD'01. San Jose, 2001: 651 – 654.

[8] Chung – Wen Ho, Ruehli A, Brennan P. The modified nodal approach to network analysis[J]. IEEE Transactions on Circuits and Systems, 1975, 22(6):504 – 509.

作者简介:

刘泽响 男,(1978 –),博士研究生.研究方向为计算机系统结构、片上系统设计和超深亚微米芯片设计关键技术.

沈绪榜 男,(1933 –),中科院院士,博士生导师.研究方向为并行计算、高级计算机系统结构和片上系统设计方法学.

贺占庄 男,(1962 –),硕士生导师,研究员.研究方向为计算机控制技术、嵌入式系统设计和系统集成技术.